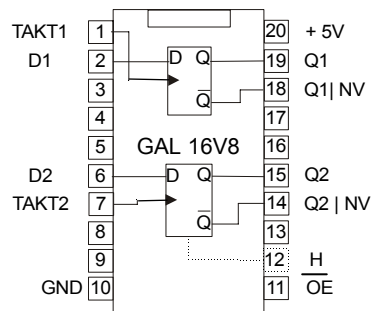


D-Flipflop



Das D-Flipflop zählt zu den taktfankengetriggerten Flipflops. Es lässt sich realisieren, in dem man zwei transparente D-Flipflops in Reihe schaltet und sie mit dem komplementären Taktsignal ansteuert. Solange das Taktsignal „Low“ ist, gibt das erste transparente D-Flipflop, auch **Master** genannt, das Eingangssignal an dessen Ausgang weiter. Wenn der Takt auf 1 geht, wird die in diesem Augenblick anliegende Information D im ersten transparenten Flipflop eingefroren und an das zweite übertragen. Diese liefert dann das endgültige Ausgangssignal des D-Flipflops. Die am D-Eingang anliegende Information wird also mit der positiven Taktfanke an den Ausgang übertragen. Zur Herleitung der Schaltfunktionen benötigt man zuerst die Gleichung der beiden transparenten D-Flipflops, die mit einem komplementären Taktsignale (TAKT =EN) angesteuert werden.

Allgemeines transparentes D-Flipflop:

$$Q = Q \& /EN + Q \& D + D \& EN$$

Erstes transparentes D-Flipflop :

$$H = H \& TAKT + H \& D + D \& /TAKT$$

Zweites transparentes D-Flipflop:

$$Q = Q \& /TAKT + Q \& D + D \& TAKT$$

Der Ausgang H des ersten Flipflops ist gleichzeitig der D-Eingang des zweiten Flipflops. Danach ergeben sich für ein D-Flipflop folgende Gleichungen:

$$Q = Q \& /TAKT + Q \& H + H \& TAKT$$

$$H = H \& TAKT + H \& D + D \& /TAKT$$

Man erkennt, dass zur Realisierung eines D-Flipflops mit einem GAL zwei Ausgänge benötigt werden. Q ist der eigentliche Ausgang des D-Flipflops, während H der Ausgang des ersten transparenten D-Flipflops darstellt. Ferner ist zu beachten, dass nur Ausgänge mit Rückkopplung eingesetzt werden können.

Häufig verfügt ein D-Flipflop noch über einen Setzeingang S und einen Rücksetzeingang R. Diese beiden Steuersignale wirken asynchron, also unabhängig vom Taktsignal. Für S=1 wird Q=1 während R=1 den Ausgang Q auf 0 zurücksetzt. Die Schaltfunktion des D-Flipflops mit Setz – und Rücksetzeingang lautet:

$$Q = Q \& /TAKT \& /R + Q \& H \& /R + H \& TAKT \& /R + S$$

$$H = H \& TAKT \& \&R + H \& D \& /R + D \& /TAKT \& /R + S$$

Im GAL wird ein internes Flipflop eingesetzt. Beim internen D-Flipflop ist die Logikgleichung dementsprechend einfacher. Es wird nur ein Ausgang belegt.

CHIP DFF GAL16V8 REGISTERED_MODE

CLK	D1	NC	NC	NC	D2	TAKT2	NC	NC	GND
NOE	H	NC	Q2INV	Q2	NC	NC	Q1INV	Q1	VCC

Q1 := D1;

Q1INV = /Q1;

Q2 =
 + H * TAKT2
 + Q2 * H
 + Q2 * /TAKT2;

H =
 + D2 * /TAKT2
 + H * D2
 + H * TAKT2;

Q2INV = /Q2;